

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-244363

(43)Date of publication of application : 08. 09. 2000

(51) Int. Cl.

H04B 1/707

(21)Application number : 11-043221 (71)Applicant : SHIMADA PHYS & CHEM IND CO LTD

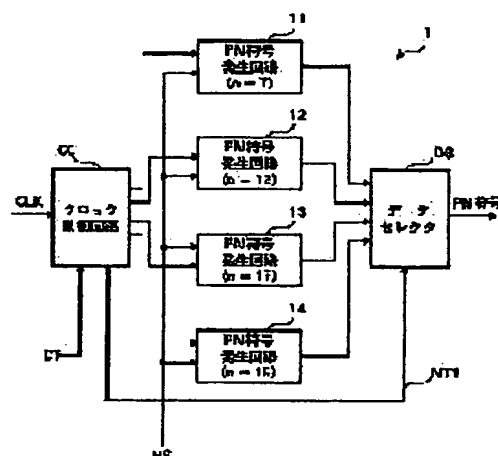
(22)Date of filing : 22. 02. 1999 (72)Inventor : NIHEI HIROYUKI

(54) CIRCUIT AND DEVICE FOR GENERATING PN CODE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a PN code generating device capable of speedily generating a PN code.

SOLUTION: Four kinds of PN code generating circuits 11 to 14 are connected in parallel with respect to a clock control circuit CC and a data selector DS and are respectively provided with a reset switch RS and a code switch terminal CT in addition. A clock signal CLK and a number of stages switch signal CT are inputted to the clock control part CC. A code switch signal NT1 from the part CC for switching an output signal from the respective parts 11 to 14 is inputted to the data selector DS.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-244363

(P2000-244363A)

(43) 公開日 平成12年9月8日 (2000.9.8)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 4 B 1/707

H 0 4 J 13/00

D 5 K 0 2 2

審査請求 未請求 請求項の数 8 O L (全 12 頁)

(21) 出願番号 特願平11-43221

(22) 出願日 平成11年2月22日 (1999.2.22)

(71) 出願人 000219004

島田理化工業株式会社

東京都調布市柴崎2丁目1番地3

(72) 発明者 仁平 浩之

東京都調布市柴崎2丁目1番地3 島田理
化工業株式会社内

(74) 代理人 100099324

弁理士 鈴木 正剛

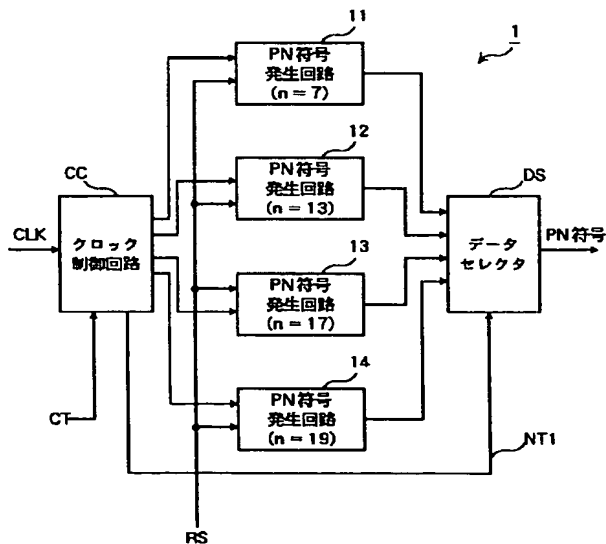
Fターム(参考) 5K022 EE02 EE25

(54) 【発明の名称】 PN符号発生回路及び装置

(57) 【要約】

【課題】 高速なPN符号を生成できるPN符号発生装置を提供する。

【解決手段】 4種類のPN符号発生回路11、12、13、14が、クロック制御回路CC及びデータセクタDSに対して並列に接続され、さらに各PN符号生成部11～14に、それぞれリセットスイッチRS及び符号切替端子CTが接続されている。クロック制御部CCにはクロック信号CLKと段数切替信号CTが入力されるようになっている。データセクタDSには、各PN符号生成部11～14からの出力信号を切り替える、クロック制御部CCからの符号切替信号NT1が入力されるようになっている。



【特許請求の範囲】

【請求項1】 縦列接続された複数段のレジスタのいくつかの出力信号が初段のレジスタの入力部に直接帰還されて帰還ループが形成され、

所定段のレジスタ間には、前段のレジスタの出力信号と前記帰還ループの分岐信号との論理条件を判定し、判定結果を後段のレジスタに入力させる論理回路が挿入接続されており、

前記論理回路の判定結果によって定まる所要のレジスタの出力信号がPN符号として抽出されるように構成されていることを特徴とする、

PN符号発生回路。

【請求項2】 縦列接続された複数段のレジスタのうち最終段のレジスタの出力信号が初段のレジスタの入力部に直接帰還されて帰還ループが形成され、

所定段のレジスタ間には、前段のレジスタの出力信号と前記帰還ループの分岐信号との論理条件を判定し、判定結果を後段のレジスタに入力させる論理回路が挿入接続されており、

さらに、各論理回路への前記分岐信号の導通を制御するスイッチ手段を具え、

前記スイッチ手段による制御結果及びそれに伴う論理回路の判定結果によって定まる所要のレジスタの出力信号がPN符号として抽出されるように構成されていることを特徴とする、

PN符号発生回路。

【請求項3】 前記論理回路が初段及び最終段を除くすべてのレジスタ間に挿入接続されており、前記スイッチ手段の制御結果に応じてレジスタ段数を任意に変更できるように構成されていることを特徴とする、
請求項2記載のPN符号発生回路。

【請求項4】 前記スイッチ手段は、複数のビット配列の組み合わせによって所要レベルの論理信号を形成し、形成された論理信号を各論理回路に入力させるものであることを特徴とする、請求項2又は3記載のPN符号発生回路。

【請求項5】 共通の信号源に対して並列に接続され、それぞれ異なる配列構造のPN符号を生成する複数のPN符号発生回路と、

これらのPN符号発生回路からのPN符号を選択的に出力する符号切替手段とを有することを特徴とする、
PN符号発生装置。

【請求項6】 前記複数のPN符号発生回路が、それぞれ請求項1乃至4のいずれかに記載されたPN符号発生回路であることを特徴とする、

請求項5記載のPN符号発生装置。

【請求項7】 前記複数のPN符号発生回路が、それぞれ異なる段数のレジスタ列を含んで構成されていることを特徴とする、

請求項5又は6記載のPN符号発生装置。

【請求項8】 請求項1乃至4のいずれかに記載されたPN符号発生回路、又は、請求項5、6又は7に記載されたPN符号発生装置を有し、

生成されたPN符号で搬送波周波数の変調波をスペクトル拡散させて送信するように構成されていることを特徴とする、通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、CDMA (code division multiple access: 符号分割多元接続) 方式又はSSMA (spread spectrum multiple access: スペクトラム拡散多元接続) 方式を採用する通信装置に係り、特に、この通信装置内で、疑似ランダム符号 (PN符号) を高速に生成させるPN符号発生回路 (装置) に関する。

【0002】

【従来の技術】CDMA方式又はSSMA方式は、回線に特定のPN符号を割り当て、同一搬送波周波数の変調波をこのPN符号でスペクトル拡散させて同一中継装置に送信し、受信側では各々の符号同期をとることにより回線を識別する多元接続方式である。このような方式を採用する通信装置では、所望のPN符号を生成するために、PN符号発生回路 (又は装置) を内蔵している。この種のPN符号発生回路では、通常、複数段のレジスタを縦列接続し、必要な段数のレジスタ出力を初段のレジスタに帰還させるとともに、所要段数のレジスタ出力を適宜選択することで、PN符号を生成させるようにしている。

【0003】図12は、レジスタの一例であるフリップフロップ (以下、F/F) を19段縦列接続するとともに、所定段及び最終段のF/Fの出力を、複数の段数切替用ゲートG2及びEXOR (Exclusive-OR) ゲートG1から成る帰還タップを介して初段のF/F #1に帰還させたPN符号発生回路の要部構成図である。実際には、初段のF/F #1の入力部に、リセット信号とデータを入力するための論理和ゲートとクロック信号を入力するための端子が存在するが、ここでは、図示を省略してある。このPN符号発生回路では、1～3段目、5～9段目、13段目、17段目、及び最終段から、それぞれ帰還タップを介して初段のF/F #1に帰還させ、さらに、7段目のF/F #7、13段目のF/F #13、17段目のF/F #17、19段目 (最終段) のF/F #19の出力をデータセクタDSに入力している。データセクタDSは、これらの出力を適宜切り換えることにより、4種類のPN符号を選択的に出力できるようになっている。

【0004】

【発明が解決しようとしている課題】PN符号発生回路では、各段のF/Fの出力が初段のF/F #1に帰還される際に、帰還タップ数に応じた伝搬遅延時間が累積さ

れる。つまり、EXORゲートG1、段数切替用ゲートG2、F/F#1～#19の伝搬遅延時間の累積値によって、PN符号発生回路の動作可能な上限速度が決まる。図12の構成例の場合、最終段のシフトレジスタ#19の出力が初段のシフトレジスタ#1の入力端子に帰還されるまでに、13個の段数切替用ゲートG2及びEXORゲートG1が介在する。各ゲートG1、G2、F/F#1～#19としてECL (Emitter Coupled Logic) タイプのICを使用すれば、伝搬遅延時間を短くできることは知られているが、現状のICでは0.6 [nsec] 程度の伝搬遅延時間がある。従って、13個のICが介在する場合には、7.8 [nsec] (= 0.6 [nsec] × 13個) の伝搬遅延時間が生じ、さらに各F/F#1～#19のセットアップ時間が0.175 [nsec] であるとする、合計で7.975 [nsec] の伝搬遅延時間を考慮する必要がある。これは、周波数で換算すると、約125 [MHz] となる。従って、従来のPN符号発生回路では、200 [MHz] 以上の高速なPN符号を生成させることができなかった。

【0005】また、各段のF/Fから出力されるPN符号は、帰還タップの位置によって異なった符号となる。例えば図13～図16は、同じ7段のF/Fで構成されるが、帰還タップの位置が相違するため、最終段のF/F#7から出力されるPN符号は、それぞれ異なったものとなる（なお、初段のF/F#1の入力部の構成については、図12のものと同様、図示を省略してある）。このように、複数種類のPN符号を使用する場合は、帰還タップの位置を変えたPN符号発生回路を別々に構成する必要があり、これを内蔵する通信装置の規模が大きくなってしまう。

【0006】そこで本発明は、より高速なPN符号を生成することができる簡易構成のPN符号発生回路及び装置を提供することを課題とする。

【0007】

【課題を解決するための手段】本発明が提供するPN符号発生回路は、縦列接続された複数段のレジスタのいくつかの出力信号が初段のレジスタの入力部に直接帰還されて帰還ループが形成され、所定段のレジスタ間には、前段のレジスタの出力信号と前記帰還ループの分岐信号との論理条件を判定し、判定結果を後段のレジスタに入力させる論理回路が挿入接続されており、前記論理回路の判定結果によって定まる所要のレジスタの出力信号がPN符号として抽出されるように構成されたものである。

【0008】本発明の他のPN符号発生回路は、縦列接続された複数段のレジスタのうち最終段のレジスタの出力信号が初段のレジスタの入力部に直接帰還されて帰還ループが形成され、所定段のレジスタ間には、前段のレジスタの出力信号と前記帰還ループの分岐信号との論理条件を判定し、判定結果を後段のレジスタに入力させる

論理回路が挿入接続されており、さらに、各論理回路への前記分岐信号の導通を制御するスイッチ手段を具え、前記スイッチ手段による制御結果及びそれに伴う論理回路の判定結果によって定まる所要のレジスタの出力信号がPN符号として抽出されるように構成されたものである。なお、前記論理回路を初段及び最終段を除くすべてのレジスタ間に挿入接続し、前記スイッチ手段の制御結果に応じてレジスタ段数を任意に変更できるように構成しても良い。

10 【0009】本発明は、また、共通の信号源に対して並列に接続され、それぞれ異なる配列構造のPN符号を生成する複数のPN符号発生回路と、これらのPN符号発生回路からのPN符号を選択的に出力する符号切替手段とを有することを特徴とするPN符号発生装置をも提供する。前記複数のPN符号発生回路は、好ましくは、上述の本発明のPN符号発生回路とし、それぞれ異なる段数のレジスタ列で構成する。

【0010】

20 【発明の実施の形態】以下、図面を参照して、本発明の実施の形態を説明する。

（第1実施形態）図1は、本発明を適用したPN符号発生装置の構成図である。このPN符号発生装置1は、4種類のPN符号を生成するためのPN符号発生回路11、12、13、14が、共通の信号源であるクロック制御回路CCに対して並列に接続され、それぞれの出力が符号切替手段の一例であるデータセクタDSに入力されるようになっている。各PN符号発生回路11～14の入力側には、それぞれリセット信号RSが入力され、クロック制御回路CCにはクロック信号CLK及び符号切替制御信号CTが入力される。この符号切替制御信号CTに基づいて、クロック制御回路CCは、PN符号発生回路11～14の出力を切り替えるための符号切替信号NT1をデータセクタDSに出力する。これにより、PN符号発生回路11～14のどの出力を選択するかが決定される。

40 【0011】この例におけるPN符号発生回路11は7段構成のシフトレジスタであり、最大7ビット配列のPN符号を生成するものである。同様に、PN符号発生回路12は13段構成のシフトレジスタ、PN符号発生回路13は17段構成のシフトレジスタ、PN符号発生回路14は19段構成のシフトレジスタであり、それぞれ、最大で段数分のビット配列のPN符号を生成するものである。

50 【0012】これらのPN符号発生回路11～14は、従来のこの種のPN符号発生回路を改良したものである。以下、この改良点を、図2に示す7段構成のPN符号発生回路11と、図13に示した従来の7段構成のPN符号発生回路とを例に挙げて説明する（なお、初段のF/F#1の入力部の構成については、便宜上、図示を省略してある。以後、実施の形態の説明において同

じ)。

【0013】図13に示した従来のPN符号発生回路は、1～3段目から帰還タップをとっている。この場合の各段の出力信号は、図17に示すように、127ビットで一巡する繰り返し信号となる。しかし、図13に示す構成では、帰還ループ内に、複数のEXORゲートG1が介在するため、各段のF/Fの出力が初段のF/F#1に帰還されるまでに伝搬遅延時間が累積される。

【0014】これに対して、本実施形態によるPN符号発生回路11は、各段のF/F出力を、初段のF/F#1の入力部(リセット信号との論理和条件を判定する論理和ゲート)に直接帰還させて帰還ループを形成し、EXORゲートG1については、これを4段目と5段目の間、5段目と6段目の間、及び6段目と7段目の間に挿入接続している。このEXORゲートG1は、前段のF/Fの出力信号と帰還ループの分岐信号との論理条件(排他的論理和条件)を判定するものである。この場合の各段の出力信号は図18に示すとおりであり、127ビットで一巡する繰り返し信号であって、7段目の信号の変化を見ると図17と同じ変化をしている。つまり、本実施形態の接続方式を採用することにより、図13に示したPN符号発生回路と同じPN符号を生成しながら、伝搬遅延時間を限りなくゼロ値に近づける(入力部の論理和ゲートの部分のみ)ことができる。

【0015】図3～図5は、13段構成、17段構成、19段構成のPN符号発生回路12、13、14の構成例を示した図である。これらのPN符号発生回路12～14もまた、図2の7段構成のものと同様、帰還ループにおけるEXORゲートG1を省き、該当するF/F間にこれを挿入接続している。

【0016】なお、図12に示した従来型のPN符号発生回路のように、図2～図5に示すPN符号発生回路を統合して、各段の出力を選択的に出力する構成とすることもできるが、そのためには、帰還ループに段数切替用ゲートG2をいくつか挿入接続する必要がある(それでも図12に示したPN符号発生回路よりは高速になる)ため、その分、動作速度が遅くなる。このような事態を回避するため、本実施形態では、図1に示したように、各PN符号発生回路11～14をクロック制御回路CCに対して並列接続し、同一信号源に対して同時期に異なるPN符号が生成されるようにしたものである。このように、第1実施形態のPN符号発生装置1によれば、簡易な構成で、PN符号を高速に生成することができるようになる。

【0017】(第2実施形態)図1に示した第1実施形態のPN符号発生装置1では、各PN符号発生回路11～14がそれぞれ種類の配列構造のPN符号を生成することができるようになっている。必要とするPN符号の配列構造が固定的な場合は、このようなPN符号発生装置1にすることで、装置構成が簡略化されて望ましい

のであるが、実際には、必要とするPN符号が複数種類になる場合もあり得る。この場合は、帰還タップの位置を変える必要がある。そこで、装置構成を同一にしたまま、帰還タップ位置を任意に変えることができるようにしたのが、図6に示したPN符号発生装置2である。

【0018】このPN符号発生装置2において、4種類のPN符号発生回路21、22、23、24をクロック制御回路CCに対して並列接続する点、各PN符号発生回路21～24の出力がデータセクタDSにおいて選択的に出力される点、各PN符号発生回路21～24の入力側に、それぞれリセット信号RSが入力され、クロック制御回路CCにクロック信号CLK及び符号切替制御信号CTが入力される点、符号切替制御信号CTに基づいて、クロック制御回路CCが、PN符号発生回路21～24の出力を切り替えるための符号切替信号NT1をデータセクタDSに出力する点は、第1実施形態のPN符号発生装置1と同じである。

【0019】この実施形態のPN符号発生装置2は、各PN符号発生回路21～24の各々が、PN符号の長さ及び符号配列を任意に変化させて出力できるようにするため、各PN符号発生回路21～24に、帰還タップの位置を制御するための段数切替信号NT2を入力させるようにしたものである。このような特殊な構成例を、図7に示した7段構成のPN符号発生回路21を例に挙げて説明する。

【0020】図7を参照すると、EXORゲートG1を、複数段のF/Fの初段及び最終段を除くすべての段のF/F間に挿入接続するとともに、各EXORゲートG1に、段数切替用ゲートG2を介して帰還ループからの分岐信号が入力されるようになっている。段数切替用ゲートG2は、切替回路SWからの段数切替信号NT2によって、分岐信号を導通制御するものである。このような構成のPN符号発生回路21では、各段のF/F#2～#7から初段のF/F#1への帰還ループにEXORゲートG1が介在しないので、伝搬遅延時間の累積はない。レジスタ段数、つまり符号長を変更するときは、切替回路SWからの段数切替信号NT2によって、所要の段数切替用ゲートG2をON/OFFする。これにより、OFFの段数切替用ゲートG2については、それが存在しない場合と等価になる一方、ONの段数切替用ゲートG2については、帰還ループの分岐信号と前段のF/Fの出力信号との排他的論理和条件が判定され、判定結果が後段のF/Fに入力されるようになるので、帰還タップが形成され、所要の符号の長さ及び配列のPN符号が得られるようになる。13段構成、17段構成、19段構成のPN符号発生回路22～24についても同様の構成となる。このように、第2実施形態のPN符号発生装置2によれば、簡易な構成でありながら、自由な長さ及び配列のPN符号を高速に生成することができるようになる。

【0021】

【実施例】第2実施形態では、初段及び最終段を除くすべてのF/F間にEXORゲートG1を挿入した例を示したが、高速なPN符号を生成する観点からは、EXORゲートは、いくつかのF/F間に挿入するだけで足りる。図8～図11は、図6におけるPN符号発生回路21～24を、実際の運用形態に近い形で紹介したものである。図8は7段構成、図9は13段構成、図10は17段構成、図11は19段構成のPN符号発生回路の例である。符号#1～#19はレジスタの一例であるD型F/Fであり、符号データとリセット信号RSの論理和出力が入力されるD端子、クロック信号CLKが入力されるCK端子、符号データが出力されるQ端子、論理Low信号“L”が接続されるR端子を有するものである。また、G11はEXORゲート、G12は段数切替用ゲートである。ここでは、切替回路SW1～SW4から例えば3ビットの二値信号（スイッチONで論理High信号“H”となる）を各PN符号発生回路に入力し、これによって、帰還タップの位置を調整するようにしている。例えば、図8は、図2に対応した帰還タップを実現するための構成である。

【0022】図9では、切替回路SW2の最上位スイッチをN1、中位スイッチをN2、下位スイッチをN3としたとき、各スイッチN1、N2、N3の出力レベル（二値レベル）の組み合わせによって、I系（1, 0, 0）、II系（0, 1, 0）、III系（0, 0, 1）を選択できるようになっている。I系における帰還タップ位置は、#13、#12、#10、#9、II系における帰還タップ位置は、#13、#9、#8、#6、#4、#3、III系における帰還タップ位置は、#13、#12、#8、#6、#5、#4となる。

【0023】図10の場合も、切替回路SW3の最上位スイッチをN1、中位スイッチをN2、下位スイッチをN3とし、各スイッチN1、N2、N3の出力レベルの組み合わせによって、I系（1, 0, 0）、II系（0, 1, 0）、III系（0, 0, 1）を選択できるようになっている。但し、図示のように、特定の系、例えばI系を使用しない（OPEN）ようにすることもできる。図示の場合、II系における帰還タップ位置は、#17、#16、#15、#14、III系における帰還タップ位置は、#17、#16、#14、#1となる。

【0024】同様に、図11の場合も切替回路SW4の最上位スイッチをN1、中位スイッチをN2、下位スイッチをN3とし、各スイッチN1、N2、N3の出力レベルの組み合わせによって、I系（1, 0, 0）、II系（0, 1, 0）、III系（0, 0, 1）を選択する。図示の場合のI系における帰還タップ位置は、#19、#18、#17、#14、II系における帰還タップ位置は、#19、#16、#12、#10、#9、#7、III系における帰還タップ位置は、#19、#16、#1

3、#12、#11、#10となる。

【0025】なお、図8～図11の例では、3つの系の中から任意の1つの系におけるPN符号を選択できるようになっているが、系の数については任意であって良い。また、EXORゲートG11や段数切替用ゲートG21の位置もPN符号の用途に応じて適宜変更することもできる。

【0026】なお、以上の実施形態又は実施例では、F/F間に挿入接続する論理回路として、EXORゲートG1、G11を用いたが、論理回路は、他の論理ゲートで代用できることはいうまでもない。また、段数切替用ゲートG2、G21についても同様である。

（通信装置）図2～図5、図7、図8～図11に示したPN符号発生回路は、単独でも使用可能な回路である。このようなPN符号発生回路を単独で、あるいは図1又は図6に示したように複数のPN符号生成回路を保有したPN符号発生装置1、2として、CDMA方式又はSSMA方式を採用する通信装置の符号生成手段として用いることができる。この場合は、生成されたPN符号で搬送波周波数の変調波をスペクトル拡散させて送信するように構成する。このように構成された通信装置を使用することにより、スペクトラム拡散を利用した高速通信が可能になる。

【0027】

【発明の効果】以上に説明したように、本発明は、論理回路の挿入箇所を工夫することにより、従来のPN符号発生回路と同様のPN符号を生成しながら、伝搬遅延時間の発生要素を削減することができる。これにより、従来は不可能であった200〔MHz〕以上の周波数でも使用可能な高速なPN符号を生成することができる。

【0028】また、本発明のPN符号発生装置は、複数のPN符号発生回路を信号源に対して並列に配置し、これらのPN符号発生回路からのPN符号を選択的に出力するようにしたので、より高速なPN符号を生成できるようになる。

【0029】さらに、各PN符号発生回路におけるレジスタの段数を適宜切り替えることができるので、任意の配列構造のPN符号を簡易な構成で容易に生成できるようになる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係るPN符号発生装置の構成図。

【図2】第1実施形態による7段構成のPN符号発生回路の要部構成図。

【図3】第1実施形態による13段構成のPN符号発生回路の要部構成図。

【図4】第1実施形態による17段構成のPN符号発生回路の要部構成図。

【図5】第1実施形態による19段構成のPN符号発生回路の要部構成図。

10

20

30

40

50

【図6】本発明の第2実施形態に係るPN符号発生装置の構成図。

【図7】第2実施形態による7段構成のPN符号発生回路の要部構成図。

【図8】実施例による7段構成のPN符号発生回路の要部構成図。

【図9】実施例による13段構成のPN符号発生回路の要部構成図。

【図10】実施例による17段構成のPN符号発生回路の要部構成図。

【図11】実施例による19段構成のPN符号発生回路の要部構成図。

【図12】従来のPN符号発生回路の構成図。

【図13】従来の7段構成のPN符号発生回路の要部構成図。

【図14】従来の7段構成のPN符号発生回路の要部構成図。

【図15】従来の7段構成のPN符号発生回路の要部構成図。

【図16】従来の7段構成のPN符号発生回路の要部構成図。

【図17】図2に示したPN符号発生回路による符号配列の実測図。

【図18】図13に示した従来のPN符号発生回路による符号配列の実測図。

【符号の説明】

1, 2 PN符号発生装置

11~14, 21~24 PN符号発生回路

10 CC クロック制御回路

DS データセクタ

SW, SW1~SW4 切替回路

CLK クロック信号

G1, G11 EXORゲート

G2, G21 段数切替用ゲート

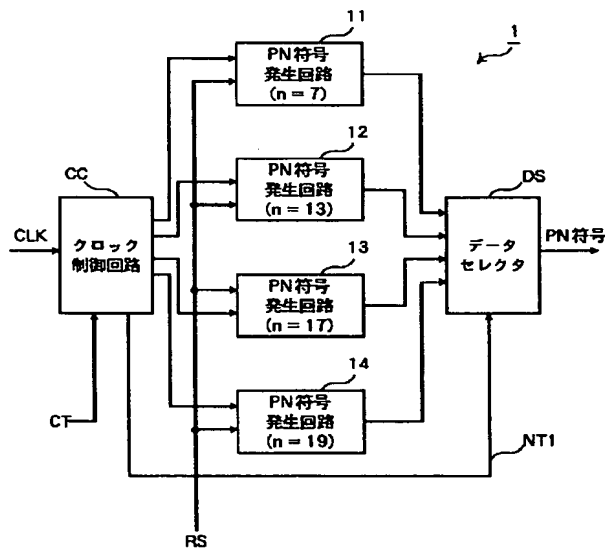
CT 切替制御信号

RS リセット信号

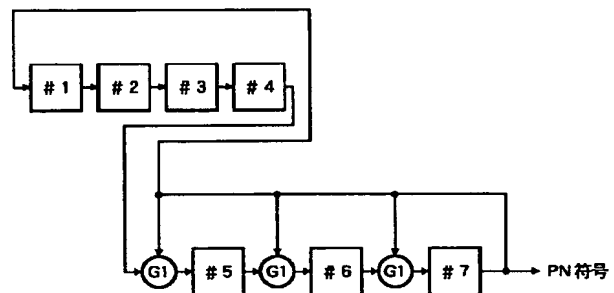
NT1 符号切替信号

NT2 段数切替信号

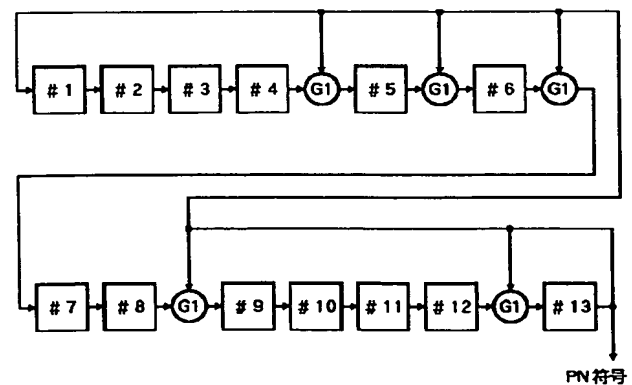
【図1】



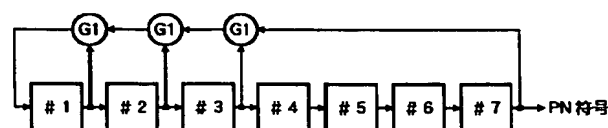
【図2】



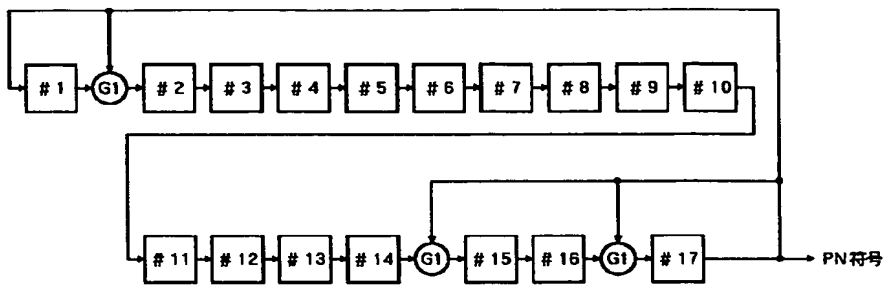
【図3】



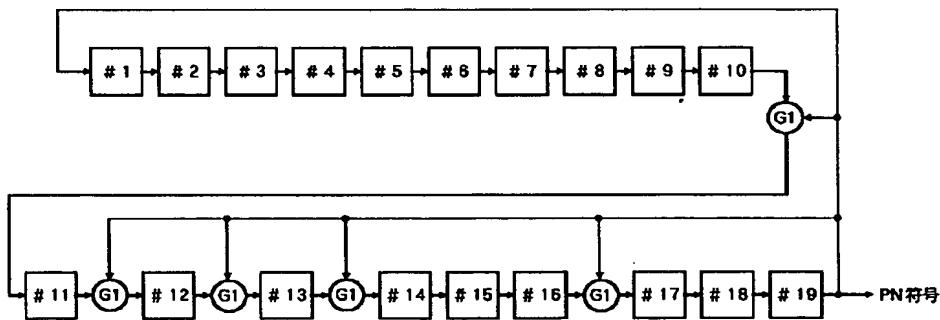
【図13】



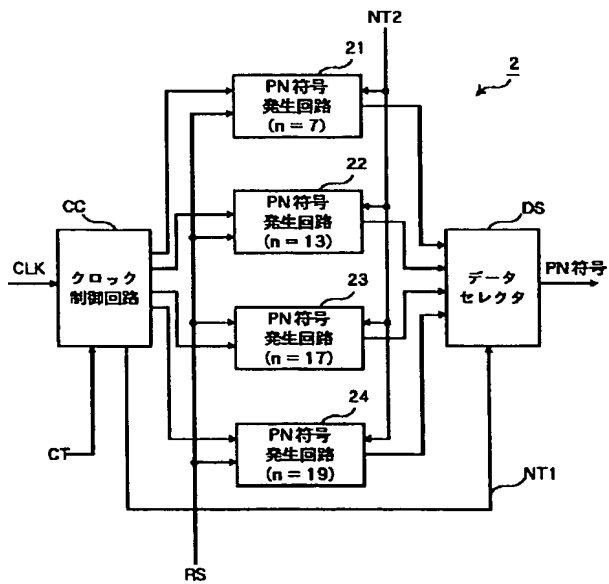
【図4】



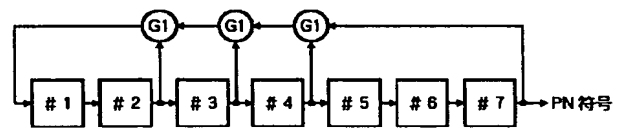
【図5】



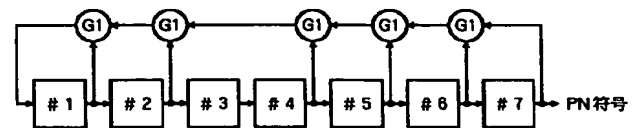
【図6】



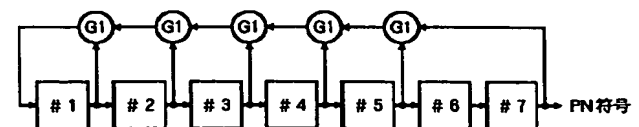
【図14】



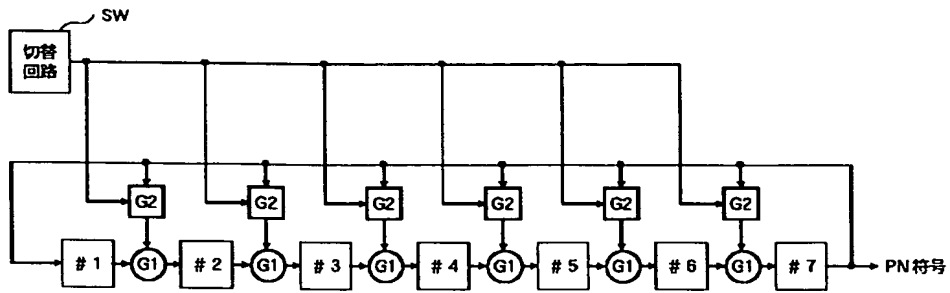
【図15】



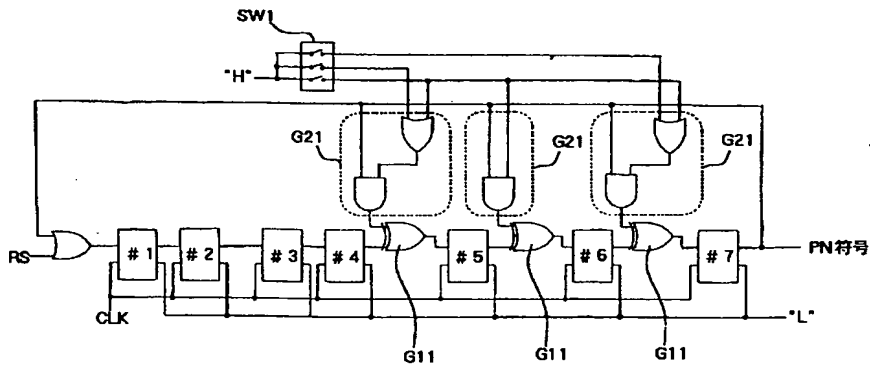
【図16】



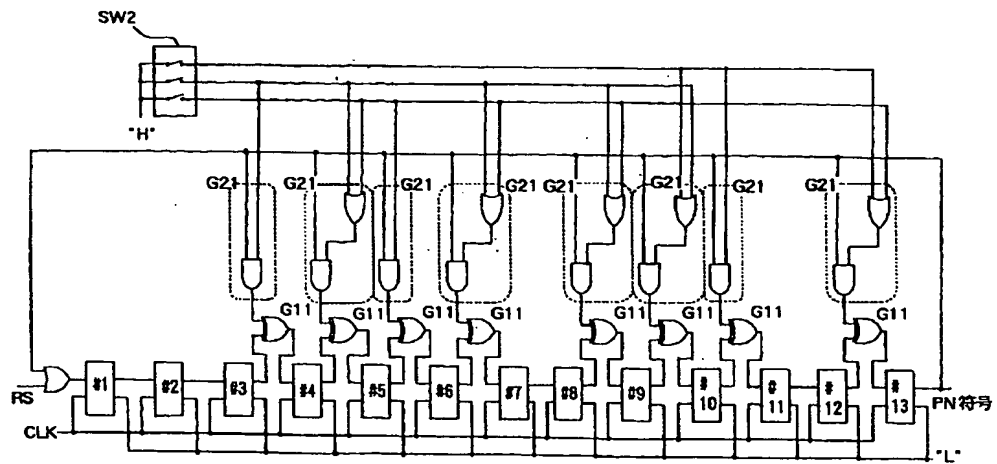
【図7】



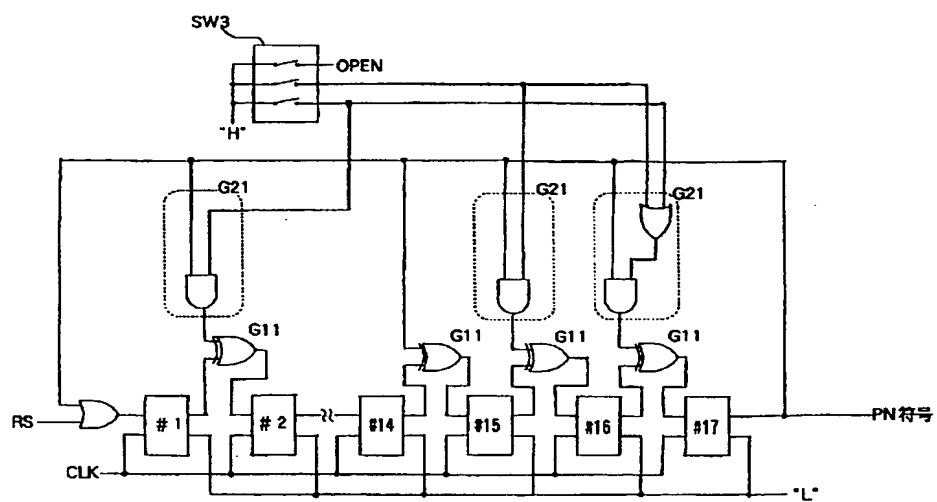
【図8】



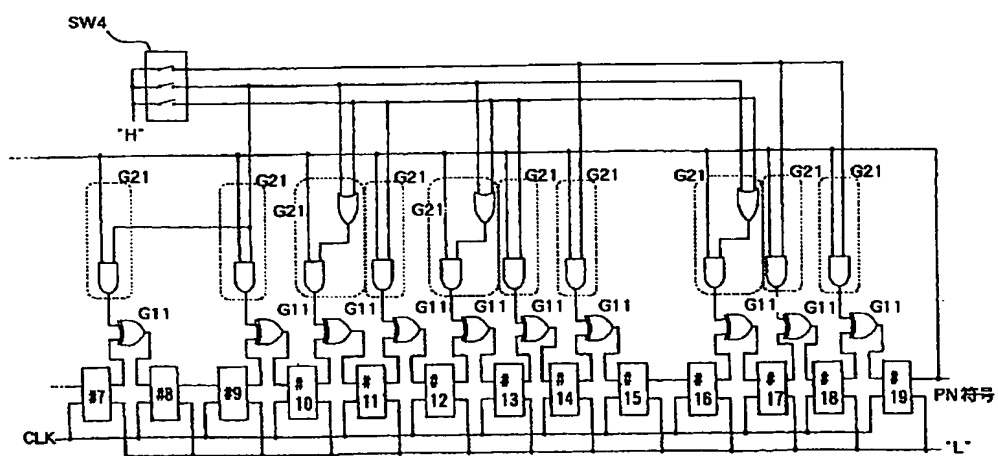
【図9】



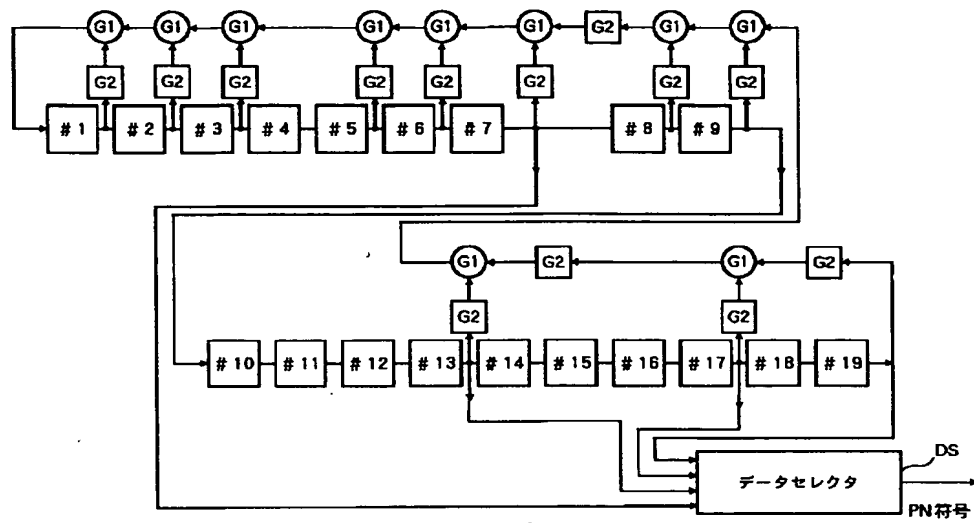
【図10】



【図11】



【図12】



【図17】

NO.	Q1	Q2	Q3	Q4	Q5	Q6	Q7	NO.	Q1	Q2	Q3	Q4	Q5	Q6	Q7	NO.	Q1	Q2	Q3	Q4	Q5	Q6	Q7
1	1	1	1	1	1	1	1	51	0	1	1	0	1	1	0	101	0	0	1	0	1	0	0
2	0	1	1	1	1	1	1	52	0	0	1	1	0	1	1	102	1	0	0	1	0	1	0
3	1	0	1	1	1	1	1	53	0	0	0	1	1	0	1	103	1	1	0	0	1	0	1
4	1	1	0	1	1	1	1	54	1	0	0	0	1	1	0	104	1	1	1	0	0	1	0
5	1	1	1	0	1	1	1	55	1	1	0	0	0	1	1	105	1	1	1	1	0	0	1
6	0	1	1	1	0	1	1	56	1	1	1	0	0	0	1	106	0	1	1	1	1	0	0
7	1	0	1	1	1	0	1	57	0	1	1	1	0	0	0	107	0	0	1	1	1	1	0
8	1	1	0	1	1	1	0	58	0	0	1	1	1	0	0	108	1	0	0	1	1	1	1
9	0	1	1	0	1	1	1	59	1	0	0	1	1	1	0	109	0	1	0	0	1	1	1
10	1	0	1	1	0	1	1	60	1	1	0	0	1	1	1	110	0	0	1	0	0	1	1
11	1	1	0	1	1	0	1	61	1	1	1	0	0	1	1	111	0	0	0	1	0	0	1
12	1	1	1	0	1	1	0	62	0	1	1	1	0	0	1	112	1	0	0	0	1	0	0
13	1	1	1	1	0	1	1	63	1	0	1	1	1	0	0	113	1	1	0	0	0	1	0
14	0	1	1	1	1	0	1	64	0	1	0	1	1	1	0	114	0	1	1	0	0	0	1
15	1	0	1	1	1	1	0	65	1	0	1	0	1	1	1	115	1	0	1	1	0	0	0
16	0	1	0	1	1	1	1	66	1	1	0	1	0	1	1	116	0	1	0	1	1	0	0
17	0	0	1	0	1	1	1	67	1	1	1	0	1	0	1	117	1	0	1	0	1	1	0
18	0	0	0	1	0	1	1	68	0	1	1	1	0	1	0	118	0	1	0	1	0	1	1
19	1	0	0	0	1	0	1	69	0	0	1	1	1	0	1	119	0	0	1	0	1	0	1
20	0	1	0	0	0	1	0	70	0	0	0	1	1	1	0	120	0	0	0	1	0	1	0
21	1	0	1	0	0	0	1	71	0	0	0	0	1	1	1	121	0	0	0	0	1	0	1
22	1	1	0	1	0	0	0	72	1	0	0	0	0	1	1	122	1	0	0	0	0	1	0
23	0	1	1	0	1	0	0	73	0	1	0	0	0	0	1	123	1	1	0	0	0	0	1
24	0	0	1	1	0	1	0	74	0	0	1	0	0	0	0	124	1	1	1	0	0	0	0
25	1	0	0	1	1	0	1	75	1	0	0	1	0	0	0	125	1	1	1	1	0	0	0
26	0	1	0	0	1	1	0	76	1	1	0	0	1	0	0	126	1	1	1	1	1	0	0
27	1	0	1	0	0	1	1	77	0	1	1	0	0	1	0	127	1	1	1	1	1	1	0
28	1	1	0	1	0	0	1	78	0	0	1	1	0	0	1	128	1	1	1	1	1	1	1
29	1	1	1	0	1	0	0	79	0	0	0	1	1	0	0	129	0	1	1	1	1	1	1
30	1	1	1	1	0	1	0	80	0	0	0	0	1	1	0	130	1	0	1	1	1	1	1
31	1	1	1	1	1	0	1	81	0	0	0	0	0	1	1	131	1	1	0	1	1	1	1
32	0	1	1	1	1	1	0	82	1	0	0	0	0	0	1	132	1	1	1	0	1	1	1
33	0	0	1	1	1	1	1	83	0	1	0	0	0	0	0	133	0	1	1	1	0	1	1
34	0	0	0	1	1	1	1	84	1	0	1	0	0	0	0	134	1	0	1	1	1	0	1
35	1	0	0	0	1	1	1	85	0	1	0	1	0	0	0	135	1	1	0	1	1	1	0
36	0	1	0	0	0	1	1	86	1	0	1	0	1	0	0	136	0	1	1	0	1	1	1
37	0	0	1	0	0	0	1	87	0	1	0	1	0	1	0	137	1	0	1	1	0	1	1
38	0	0	0	1	0	0	0	88	1	0	1	0	1	0	1	138	1	1	0	1	1	0	1
39	0	0	0	0	1	0	0	89	1	1	0	1	0	1	0	139	1	1	1	0	1	1	0
40	0	0	0	0	0	1	0	90	0	1	1	0	1	0	1	140	1	1	1	1	0	1	1
41	0	0	0	0	0	0	1	91	1	0	1	1	0	1	0	141	0	1	1	1	1	0	1
42	1	0	0	0	0	0	0	92	0	1	0	1	1	0	1	142	1	0	1	1	1	1	0
43	1	1	0	0	0	0	0	93	0	0	1	0	1	1	0	143	0	1	0	1	1	1	1
44	0	1	1	0	0	0	0	94	1	0	0	1	0	1	1	144	0	0	1	0	1	1	1
45	0	0	1	1	0	0	0	95	0	1	0	0	1	0	1	145	0	0	0	1	0	1	1
46	1	0	0	1	1	0	0	96	0	0	1	0	0	1	0	146	1	0	0	0	1	0	1
47	1	1	0	0	1	1	0	97	1	0	0	1	0	0	1	147	0	1	0	0	0	1	0
48	0	1	1	0	0	1	1	98	0	1	0	0	1	0	0	148	1	0	1	0	0	0	1
49	1	0	1	1	0	0	1	99	1	0	1	0	0	1	0	149	1	1	0	1	0	0	0
50	1	1	0	1	1	0	0	100	0	1	0	1	0	0	1	150	0	1	1	0	1	0	0

繰り返し

【図18】

NO.	Q1	Q2	Q3	Q4	Q5	Q6	Q7	NO.	Q1	Q2	Q3	Q4	Q5	Q6	Q7	NO.	Q1	Q2	Q3	Q4	Q5	Q6	Q7	
1	1	1	1	1	1	1	1	51	0	0	0	0	0	1	1	0	101	1	0	1	1	0	0	1
2	1	1	1	1	0	0	0	52	0	0	0	0	0	0	1	1	102	1	1	0	1	0	1	1
3	0	1	1	1	1	0	0	53	1	0	0	0	0	1	1	0	103	1	1	1	0	0	1	0
4	0	0	1	1	1	1	0	54	0	1	0	0	0	0	1	1	104	0	1	1	1	0	0	1
5	0	0	0	1	1	1	1	55	1	0	1	0	1	1	0	1	105	1	0	1	1	0	1	1
6	1	0	0	0	0	0	0	56	0	1	0	1	0	1	1	1	106	1	1	0	1	0	1	0
7	0	1	0	0	0	0	0	57	1	0	1	0	0	0	1	0	107	0	1	1	0	1	0	1
8	0	0	1	0	0	0	0	58	0	1	0	1	0	0	1	1	108	1	0	1	1	1	0	1
9	0	0	0	1	0	0	0	59	1	0	1	0	0	0	1	1	109	1	1	0	1	0	0	1
10	0	0	0	0	1	0	0	60	1	1	0	1	1	1	0	1	110	1	1	1	0	0	1	1
11	0	0	0	0	0	1	0	61	0	1	1	0	1	1	1	1	111	1	1	1	1	1	1	0
12	0	0	0	0	0	0	1	62	1	0	1	1	1	0	0	1	112	0	1	1	1	1	1	1
13	1	0	0	0	1	1	1	63	0	1	0	1	1	1	0	1	113	1	0	1	1	0	0	0
14	1	1	0	0	1	0	0	64	0	0	1	0	1	1	1	1	114	0	1	0	1	1	0	0
15	0	1	1	0	0	1	0	65	1	0	0	0	1	1	0	0	115	0	0	1	0	1	1	0
16	0	0	1	1	0	0	1	66	0	1	0	0	1	1	0	1	116	0	0	0	1	0	1	1
17	1	0	0	1	0	1	1	67	0	0	1	0	0	1	1	1	117	1	0	0	0	0	1	0
18	1	1	0	0	0	1	0	68	1	0	0	1	1	1	0	1	118	0	1	0	0	0	0	1
19	0	1	1	0	0	0	0	69	0	1	0	0	1	1	1	1	119	1	0	1	0	1	1	1
20	1	0	1	1	1	1	1	70	1	0	1	0	1	0	0	1	120	1	1	0	1	1	0	0
21	1	1	0	1	0	0	0	71	0	1	0	1	0	1	0	1	121	0	1	1	0	1	1	0
22	0	1	1	0	1	0	0	72	0	0	1	0	1	0	1	1	122	0	0	1	1	0	1	1
23	0	0	1	1	0	1	0	73	1	0	0	1	1	0	1	1	123	1	0	0	1	0	1	0
24	0	0	0	1	1	0	1	74	1	1	0	0	0	0	0	1	124	0	1	0	0	1	0	1
25	1	0	0	0	0	0	1	75	1	1	1	0	1	1	1	1	125	1	0	1	0	1	0	1
26	1	1	0	0	1	1	1	76	1	1	1	1	1	0	0	1	126	1	1	0	1	1	0	1
27	1	1	1	0	1	0	0	77	0	1	1	1	1	1	0	1	127	1	1	1	0	0	0	1
28	0	1	1	1	0	1	0	78	0	0	1	1	1	1	1	1	128	1	1	1	1	1	1	1
29	0	0	1	1	1	0	1	79	1	0	0	1	0	0	0	1	129	1	1	1	1	0	0	0
30	1	0	0	1	0	0	1	80	0	1	0	0	1	0	0	1	130	0	1	1	1	1	0	0
31	1	1	0	0	0	1	1	81	0	0	0	1	0	0	1	0	131	0	0	1	1	1	1	0
32	1	1	1	0	1	1	0	82	0	0	0	1	0	0	1	1	132	0	0	0	1	1	1	1
33	0	1	1	1	0	1	1	83	1	0	0	0	0	0	1	1	133	1	0	0	0	0	0	0
34	1	0	1	1	0	1	0	84	1	1	0	0	1	1	0	1	134	0	1	0	0	0	0	0
35	0	1	0	1	1	0	1	85	0	1	1	0	0	0	1	1	135	0	0	1	0	0	0	0
36	1	0	1	0	0	0	1	86	1	0	1	1	1	1	0	1	136	0	0	0	1	0	0	0
37	1	1	0	1	1	1	1	87	0	1	0	1	1	1	1	1	137	0	0	0	0	1	0	0
38	1	1	1	0	0	0	0	88	1	0	1	0	0	0	0	1	138	0	0	0	0	0	1	0
39	0	1	1	1	0	0	0	89	0	1	0	1	0	0	0	1	139	0	0	0	0	0	0	1
40	0	0	1	1	1	0	0	90	0	0	1	0	1	0	0	1	140	1	0	0	0	1	1	1
41	0	0	0	1	1	1	0	91	0	0	0	1	0	1	0	1	141	1	1	0	0	1	0	0
42	0	0	0	0	1	1	1	92	0	0	0	0	1	0	1	1	142	0	1	1	0	0	1	0
43	1	0	0	0	1	0	0	93	1	0	0	0	0	1	0	1	143	0	0	1	1	0	0	1
44	0	1	0	0	0	1	0	94	1	1	0	0	1	0	1	1	144	1	0	0	1	0	1	1
45	0	0	1	0	0	0	1	95	1	1	1	0	1	0	1	1	145	1	1	0	0	0	1	0
46	1	0	0	1	1	1	1	96	1	1	1	1	1	0	1	1	146	0	1	1	0	0	0	1
47	1	1	0	0	0	0	0	97	1	1	1	1	0	0	1	1	147	1	0	1	1	1	1	1
48	0	1	1	0	0	0	0	98	1	1	1	1	0	1	1	1	148	1	1	0	1	0	0	0
49	0	0	1	1	0	0	0	99	1	1	1	1	0	1	0	1	149	0	1	1	0	1	0	0
50	0	0	0	1	1	0	0	100	0	1	1	1	1	0	1	1	150	0	0	1	1	0	1	0

繰り返し